

Konsep dan Metodologi

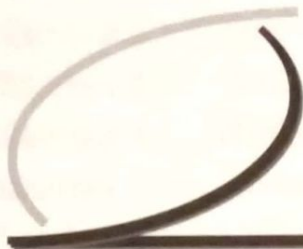
Desain Analog

CHIP

Berbasiskan Teknologi
CMOS Disertai
Penggunaan Tool

Robby Kurniawan
Eni Dwiyanti, S.T., M.T.





DAFTAR GAMBAR

Gambar 1.1	Struktur MOS [5]	2
Gambar 1.2	Simbol Transistor MOS [8]	2
Gambar 1.3	Asumsi Bulk pada Transistor MOS [8]	3
Gambar 1.4	Simbol <i>Depletion Mode</i> [8]	3
Gambar 1.5	Jaringan CMOS [5]	4
Gambar 1.6	Rangkaian Inverter dari CMOS [5]	5
Gambar 1.7	Empat Komponen Desain IC	6
Gambar 1.8	Hirarki Alur Konsep Desain CMOS [8]	6
Gambar 1.9	Alur Desain IC Lengkap	8
Gambar 1.10	Alur Desain IC Lengkap	9
Gambar 1.11	Logo Mentor Graphics [14]	11
Gambar 1.12	Logo Cadence [15]	11
Gambar 1.13	Logo Synopsys [16]	11
Gambar 1.14	Logo Mentor Tanner [17]	12
Gambar 1.15	Logo Open Circuit Design [18]	12
Gambar 1.16	Logo Static Free Software [19]	13
Gambar 1.17	Logo AMS [20]	14
Gambar 1.18	Logo STM [21]	14
Gambar 1.19	Logo Global Foundries [22]	15
Gambar 1.20	Logo TSMC [23]	15
Gambar 1.21	Logo CMP [24]	16
Gambar 1.22	Logo MOSIS [25]	16

Gambar 1.23	Pabrikasi dalam Wafer (cmp) [13]	17
Gambar 1.24	<i>Packaging Layout</i> ke CHIP Model DIL	18
Gambar 2.1	Simbol Transistor MOS (a) NMOS, (b) PMOS [4]	19
Gambar 2.2	Simbol Transisto MOS dalam Software, (a) NMOS, (b) PMOS	20
Gambar 2.3	Aturan Bulk [4]	21
Gambar 2.4	Simbol Gerbang Logika Inverter	21
Gambar 2.5	Skematik Gerbang Logika Inverter	22
Gambar 2.6	Simbol Gerbang Logika NAND	23
Gambar 2.7	Skematik Gerbang Logika NAND	24
Gambar 2.8	Simbol Gerbang Logika NOR	24
Gambar 2.9	Skematik Gerbang Logika NOR	25
Gambar 2.10	Simbol <i>Transimision Gate</i>	25
Gambar 2.11	Skematik TG	26
Gambar 2.12	Implementasi <i>Transmission Gate</i>	27
Gambar 2.13	Alur Desain Skematik	30
Gambar 3.1	Struktur Layer-layer CMOS AMS 0,35 μm [1][5]	34
Gambar 3.2	Struktur Layout Transistor	36
Gambar 3.3	Proses Pembuatan Layout Transistor	36
Gambar 3.4	Struktur PMOS Teknologi AMS 0,35 μm	37
Gambar 3.5	Struktur NMOS Teknologi AMS 0,35 μm	37
Gambar 3.6	Struktur Kapasitor Teknologi AMS 0,35 μm	38
Gambar 3.7	Struktur Resistor Teknologi AMS 0,35 μm	39
Gambar 3.8	Polygon dalam Desain Layout	39
Gambar 3.9	Path dalam Desain Layout	40
Gambar 3.10	Layer VIA	40
Gambar 3.11	Implementasi VIA 1 pada M1M2	41
Gambar 3.12	Implementasi VIA 2 pada M2M3	41
Gambar 3.13	Implementasi VIA 2 pada M3M4	41
Gambar 3.14	Layer CONT	42
Gambar 3.15	Layer Implementasi CONT pada M1P1	42
Gambar 3.16	Layer Implementasi CONT pada M1P2	42
Gambar 3.17	Alur Desain Layout	43
Gambar 3.18	(a) <i>Floor Planning</i> , (b) <i>Placemment</i> dan (c) <i>Routing</i>	44

Gambar 4.1	Tipe-tipe dari Layer [4]	48
Gambar 4.2	Pengecekan DRC Sederhana	49
Gambar 4.3	Alur Pengecekan DRC	50
Gambar 5.1	Desktop KDE	54
Gambar 5.2	Desktop GNOME	55
Gambar 5.3	Membuka Terminal CLI	55
Gambar 5.4	Terminal CLI	56
Gambar 5.5	Layer-layer CMOS AMS 0,35 μm pada Software Mentor Graphics	57
Gambar 5.6	<i>Library</i> untuk <i>Standard Cell</i> AMS C35 pada Software Mentor Graphics	58
Gambar 5.7	Tampilan ICstudio	60
Gambar 5.8	Design Architect-IC dengan HIT-KIT AMS 0,35 μm	61
Gambar 5.9	Menu Hit-Kit Teknologi AMS 0,35 μm	62
Gambar 5.10	Menu Devices Hit-Kit Teknologi AMS 0,35 μm	63
Gambar 5.11	Layar Konfigurasi Transistor MOS	63
Gambar 5.12	Akses Menu Generik	63
Gambar 5.13	Proses Mengubah Label Port	64
Gambar 5.14	Rangkaian Inverter Menggunakan Teknologi AMS 0,35 μm	64
Gambar 5.15	Hasil Cek Skematik 0,35 μm	65
Gambar 5.16	Pembuatan Viewpoint Skematik 0,35 μm	66
Gambar 5.17	Hasil Viewpoint pada IC-Studio	66
Gambar 5.18	Tampilan Layar Simulasi	67
Gambar 5.19	Tampilan Layar Mode Simulasi	67
Gambar 5.20	Memuat Library Teknologi dalam Simulasi	68
Gambar 5.21	Pengaturan Analisa Transien	68
Gambar 5.22	Pengaturan Sinyal Masukan Menggunakan Tipe Pattern	69
Gambar 5.23	Pengaturan Sinyal Power VDD dengan Pattern	69
Gambar 5.24	Pengaturan Sinyal Keluaran	70
Gambar 5.25	Netlist	70
Gambar 5.26	Proses Simulasi	71
Gambar 5.27	Hasil Simulasi Inverter	71
Gambar 5.28	Tampilan IC-Station	72

Gambar 5.29	Menu Ams Devices	
Gambar 5.30	Layar Konfigurasi Layout Transistor MOS	73
Gambar 5.31	Placement Transistor MOS	73
Gambar 5.32	Konfigurasi Bahan untuk Path	74
Gambar 5.33	Routing pada Layout	75
Gambar 5.34	Pemilihan Via	75
Gambar 5.35	Pemilihan Via	76
Gambar 5.36	Hasil Akhir Layout	76
Gambar 5.37	Membuat Port pada Layout	77
Gambar 5.38	Memuat Rules	77
Gambar 5.39	Hasil Pengecekan Short	78
Gambar 5.40	Hasil DRC	79
Gambar 5.41	Hasil Lengkap DRC	79
Gambar 5.42	Hasil DRC	79
Gambar 5.43	Tombol Pengecekan Error	80
Gambar 5.44	Posisi Error NPLUS dan PPLUS	80
Gambar 5.45	Posisi Error NPLUS dan PPLUS	81
Gambar 5.46	Penambahan BULK PMOS	81
Gambar 5.47	Penambahan BULK PMOS	82
Gambar 5.48	Penambahan BULK PMOS	82
Gambar 5.49	Hasil DRC Setelah Perbaikan	83
Gambar 5.50	Hasil DRC Setelah Perbaikan	83
Gambar 5.51	Hasil DRC Setelah Perbaikan	84
Gambar 5.52	Hasil LVS Inverter	84
Gambar 5.53	Hasil LVS Inverter	85
Gambar 5.54	Hasil Pengecekan Antenna	85
Gambar 5.55	Proses <i>Floorplan</i>	86
Gambar 5.56	Luas Area <i>Floorplan</i>	86
Gambar 5.57	<i>Floorplan</i> Lengkap 8 Pin	87
Gambar 5.58	Inverter pada <i>Floorplan</i>	87
Gambar 5.59	Layout CHIP	88
Gambar 5.60	Hasil GDSII	88
Gambar 6.1	Penggunaan Simbol pada Rangkaian Kompleks Contoh Multiplexer	89 91

Gambar 6.2	Tahap Pembuatan Simbol	92
Gambar 6.3	Simbol pada ICstudio	92
Gambar 6.4	Konfigurasi Analisa DC	93
Gambar 6.5	Hasil Simulasi DC	93
Gambar 6.6	Cell dalam Layout	94
Gambar 6.7	Pembuatan Netlist	95
Gambar 6.8	Pemberian nama .cir	95
Gambar 6.9	Membuka file .cir dengan Notepad	96
Gambar 6.10	Pembuatan Netlist	96
Gambar 6.11	Pembuatan Simbol	96
Gambar 6.12	Pembuatan Simbol	97
Gambar 6.13	Layout dalam Skematik	97
Gambar 6.14	Menambahkan file .cir ke dalam Simulasi	98
Gambar 6.15	Mengatur Sinyal Masukan	98
Gambar 6.16	Hasil Simulasi Layout	98
Gambar 7.1	Kenyamanan Posisi Duduk [11]	102
Gambar 7.2	Contoh Mouse Ergonomis [12]	102
Gambar 7.3	Pengelompokan Transistor	103
Gambar 7.4	Penggunaan Blok Fungsi	103
Gambar 7.5	Stick Diagram Inverter	104
Gambar 7.6	Stick Diagram MUX	104

-oo0oo-